

日 本 国 特 許  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2003年 2月19日

出 願 番 号  
Application Number:

特願2003-040527

[ ST.10/C ]:

[ JP 2003-040527 ]

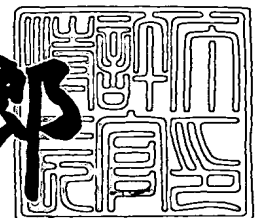
出 願 人  
Applicant(s):

パイオニア株式会社

2003年 6月30日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051465

【書類名】 特許願

【整理番号】 57P0393

【提出日】 平成15年 2月19日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/18

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 重田 哲也

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 長久保 哲朗

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100083839

【弁理士】

【氏名又は名称】 石川 泰男

【電話番号】 03-5443-8461

【手数料の表示】

【予納台帳番号】 007191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102133

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネル駆動装置

【特許請求の範囲】

【請求項 1】 表示パネルの表示を制御する表示制御部と、前記表示制御部からの信号に基づいて前記表示パネルを駆動する駆動部と、前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、を備えた表示パネル駆動装置において、

前記駆動部は、前記表示制御部からの信号をデコードして、駆動パルス生成制御信号を発生する制御信号変換部を有することを特徴とする表示パネル駆動装置

。

【請求項 2】 前記駆動部は駆動パルス生成制御信号に応じてオン／オフする複数のスイッチを含みこれらのスイッチのオン／オフにより表示パネルを駆動する駆動パルスを発生する駆動パルス発生回路を備えることを特徴とする請求項 1 に記載の表示パネル駆動装置。

【請求項 3】 アドレスデータを記憶する記憶部、前記記憶部に記憶されたアドレスデータを読み出す読出部、およびシフトクロックを発生するシフトクロック発生部を備える表示制御部と、

前記シフトクロックに従って前記アドレスデータを順次蓄積するシフトレジスタ、ラッチイネーブルを生成するラッチイネーブル生成部、前記シフトレジスタに蓄積された前記アドレスデータを前記ラッチイネーブルに基づいて表示パネルを駆動する駆動回路を備える駆動部と、

前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段とを備える表示パネルの駆動装置において、

前記シフトクロック発生部は、前記記憶部からアドレスデータが読み出されている期間のみシフトクロックを発生すると共に前記ラッチイネーブル生成部は、前記シフトクロックに基づいてラッチイネーブルを生成することを特徴とする表示パネル駆動装置。

【請求項 4】 前記データ転送手段は、

前記表示制御部内に、前記アドレスデータおよび前記シフトクロックをパラレ

ル／シリアル変換するパラレル／シリアル変換器と、前記パラレル／シリアル変換器によりシリアル変換された信号を差動シリアル伝送方式に従った信号に変換して前記駆動部に向けて伝送ラインを介して転送する送信部と、を備えるとともに、

前記駆動部内に、前記伝送ラインを介して転送された前記アドレスデータおよび前記シフトクロックを受信する受信部と、前記受信部により受信された前記アドレスデータおよび前記シフトクロックをシリアル／パラレル変換するシリアル／パラレル変換器と、を備えることを特徴とする請求項 3 に記載の表示パネル駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネル、有機 EL パネル、フィールドエミッションパネルなどの表示パネルを駆動する表示パネル駆動装置に関する。

【0002】

【従来の技術】

特開平 1 1 - 5 2 9 1 0 号公報には、プラズマディスプレイパネルを駆動するための駆動回路として電荷回収型駆動回路を用いた表示パネル駆動装置が開示されている。この電荷回収型駆動回路は複数のスイッチを備えており、これらのスイッチを所定のタイミングでオン／オフさせることにより、所定のパルスが発生させるようにしている（例えば、特許文献 1 における「従来の技術」の項参照）。

【特許文献 1】

特開平 1 1 - 5 2 9 1 0 号公報

【0003】

【発明が解決しようとする課題】

しかし、特開平 1 1 - 5 2 9 1 0 号公報に記載された装置では、駆動回路の各スイッチに対するオン／オフの制御信号を制御部で発生させ、この制御信号を、ケーブル等を介してダイレクトに駆動回路の基板に供給している。そのため伝送

本数が多くなり、伝送路においてスキュー（タイミングずれ）が発生するおそれがある。また、伝送路において外部から混入したノイズなどにより、誤ったオン／オフ状態を示す制御信号が駆動回路に供給されるおそれもある。

## 【 0 0 0 4 】

本発明は、上述の事情に鑑みてなされたものであり、伝送路数を低減することのできる表示パネル装置を提供すること等を目的とする。

## 【 0 0 0 5 】

## 【課題を解決するための手段】

請求項 1 に記載の表示パネル駆動装置は、表示パネルの表示を制御する表示制御部と、前記表示制御部からの信号に基づいて前記表示パネルを駆動する駆動部と、前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、を備えた表示パネル駆動装置において、前記駆動部は、前記表示制御部からの信号をデコードして、駆動パルス生成制御信号を発生する制御信号変換部を有することを特徴とする。

## 【 0 0 0 6 】

請求項 3 に記載の表示パネル駆動装置は、アドレスデータを記憶する記憶部、前記記憶部に記憶されたアドレスデータを読み出す読出部、およびシフトクロックを発生するシフトクロック発生部を備える表示制御部と、前記シフトクロックに従って前記アドレスデータを順次蓄積するシフトレジスタ、ラッチイネーブルを生成するラッチイネーブル生成部、前記シフトレジスタに蓄積された前記アドレスデータを前記ラッチイネーブルに基づいて表示パネルを駆動する駆動回路を備える駆動部と、前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段とを備える表示パネルの駆動装置において、前記シフトクロック発生部は、前記記憶部からアドレスデータが読み出されている期間のみシフトクロックを発生すると共に前記ラッチイネーブル生成部は、前記シフトクロックに基づいてラッチイネーブルを生成することを特徴とする。

## 【 0 0 0 7 】

## 【発明の実施の形態】

## － 第 1 の実施形態 －

以下、図 1 ～ 図 1 0 を参照して、本発明による表示パネル駆動装置の第 1 の実施形態について説明する。図 1 は本実施形態の表示パネル駆動装置を示すブロック図である。

#### 【 0 0 0 8 】

図 1 に示すように、本実施形態の表示パネル駆動装置 1 0 0 は、表示制御部 1 0 0 A と、駆動部 1 0 0 B と、を伝送ライン L により互いに接続して構成される。

#### 【 0 0 0 9 】

図 1 に示すように、表示制御部 1 0 0 A は、アドレスデータを逐次記憶するフレームメモリ 1 と、フレームメモリ 1 にアドレスデータを書き込むための書込制御部 2 と、フレームメモリ 1 からアドレスデータを読み出すための読出制御部 3 と、表示制御部 1 0 0 A の各部を制御する制御部 5 と、制御部 5 から出力されるクロックおよび読出制御部 3 から出力される信号 H A の論理積をとるアンド回路 6 と、を備える。

#### 【 0 0 1 0 】

駆動部 1 0 0 B は、伝送ライン L を介して転送された各種制御データを復号化するデコーダ部 7 と、1 ライン分のアドレスデータを記憶するシフトレジスタ 4 1、シフトレジスタ 4 1 に 1 ライン分のアドレスデータが蓄積された時点で、1 ライン分のアドレスデータをラッチするラッチ回路 4 2、および 1 ライン分のアドレスデータに応じて 1 ライン分のデータパルスを発生させこのデータパルスをプラズマディスプレイパネル 3 0 の列電極 Z 1 ～ Z m に同時に印加するアドレスドライバ 4 3 を具備するアドレスドライバ部 4 0 と、シフトクロックに基づいてラッチイネーブルを生成するラッチイネーブル生成部 1 6 と、アドレスドライバ 4 3 に向けて駆動パルスを出力するアドレス共振電源回路 1 7 と、Y サステインパルスをプラズマディスプレイパネル 3 0 のサステイン電極 Y 1 ～ Y n に同時に印加するサステインドライバ 1 9 と、スキャンパルスをサステイン電極 Y 1 ～ Y n に順次印加するスキャンドライバ 2 0 と、X サステインパルスをプラズマディスプレイパネル 3 0 のサステイン電極 X 1 ～ X n に同時に印加するサステインドライバ 2 1 と、リセットパルスを発生させるリセットパルス発生回路 2 0 A およ

びリセットパルス発生回路21Aと、サステインドライバ19、スキन्दライバ20およびサステインドライバ21等を制御する駆動制御部22と、を備える。

【0011】

図1に示すように、デコーダ部7はデコーダ71、デコーダ72、デコーダ73、デコーダ74およびデコーダ75を備え、デコーダ71～75には、制御部5から出力され伝送ラインLを介して転送されたパルス生成用制御データ、モード信号生成用制御データ、スキन्दライバ用制御データ、サステインドライバ用制御データ、およびその他のパルス生成用制御データが、それぞれ入力される。

【0012】

また、デコーダ71およびデコーダ72には、制御部5から出力され伝送ラインLを介して転送された共通クロックが入力されるとともに、デコーダ73～デコーダ75には、制御部5から出力され伝送ラインLを介して転送された別の共通クロックが入力される。

【0013】

図1に示すように、フレームメモリ1から読み出され伝送ラインLを介して転送されたアドレスデータは、アドレスドライバ部40のシフトレジスタ41に入力される。アンド回路6から出力され伝送ラインLを介して転送されたシフトクロックは、シフトレジスタ41およびラッチイネーブル生成部16に入力される。

【0014】

図1に示すように、デコーダ71により復号化されて得られたスイッチ制御信号は、アドレス共振電源回路17に入力される。デコーダ72により復号化されて得られたモード信号は、アドレスドライバ43に入力される。デコーダ73～75により復号化されて得られたデータは駆動制御部22に入力され、駆動制御部22はこれらのデータに基づいて駆動パルスの発生タイミングを制御する。

【0015】

次に、表示パネル駆動装置100の動作について説明する。



## 【 0 0 1 6 】

・プラズマディスプレイパネル 3 0 を駆動する期間としての 1 フィールドは、複数のサブフィールド S F 1 ~ S F N により構成される。図 2 に示すように、各サブフィールドには、点灯させるセルを選択するアドレス期間と、そのアドレス期間において選択されたセルを所定時間点灯させ続けるサステイン期間とが設けられている。また、最初のサブフィールドである S F 1 の先頭部分には、前のフィールドでの点灯状態をリセットするためのリセット期間がさらに設けられている。このリセット期間では、すべてのセルを点灯セル（壁電荷が形成されているセル）に、または消灯セル（壁電荷が形成されていないセル）にリセットする。前者の場合には、後続のアドレス期間において所定のセルを消灯セルに切換え、後者の場合には、後続のアドレス期間において所定のセルを点灯セルに切換える。サステイン期間はサブフィールド S F 1 ~ S F N の順に段階的に長くされており、点灯させ続けるサブフィールドの個数を変化させることにより、所定の階調表示が可能とされている。

## 【 0 0 1 7 】

図 3 に示す各サブフィールドのアドレス期間では、1 ラインごとにアドレス走査が行われる。すなわち、第 1 のラインを構成する行電極 Y 1 に走査パルスが印加されると同時に、列電極 Z 1 ~ Z m に第 1 のラインのセルに対応するアドレスデータに応じたデータパルス D P 1 が印加され、次に第 2 のラインを構成する行電極 Y 2 に走査パルスが印加されると同時に、列電極 Z 1 ~ Z m に第 2 のセルに対応するアドレスデータに応じたデータパルス D P 2 が印加される。第 3 のライン以下についても同様に走査パルスおよびデータパルスが同時に印加される。最後に、第 n のラインを構成する行電極 Y n に走査パルスが印加されると同時に、列電極 Z 1 ~ Z m に第 n のラインのセルに対応するアドレスデータに応じたデータパルス D P n が印加される。上記のようにアドレス期間では、所定のセルを点灯セルから消灯セルに、または消灯セルから点灯セルに切換える。

## 【 0 0 1 8 】

このようにしてアドレス走査が終了すると、サブフィールドにおけるすべてのセルが、それぞれ点灯セルあるいは消灯セルのいずれかに設定されており、次の

サステイン期間においてサステインパルスが印加されるごとに点灯セルのみ発光を繰り返す。図3に示すように、サステイン期間では行電極X1～Xnおよび行電極Y1～Ynに対し、XサステインパルスおよびYサステインパルスが、それぞれ所定のタイミングで繰り返し印加される。そして、最後のサブフィールドSF<sub>N</sub>には、全セルを消灯セルに設定する消去期間が設けられている。

## 【0019】

次に、プラズマディスプレイパネル30の駆動に用いられる各種制御データおよびクロックの信号処理について説明する。

## 【0020】

図1に示すように、フレームメモリ1から読み出されたアドレスデータおよびアンド回路6から出力されたシフトクロックはシフトレジスタ41に与えられ、シフトレジスタ41ではシフトクロックに基づいてアドレスデータのシフト動作を実行する。ここで、アドレスデータはR、G、Bの各セルに対するサブフィールドごとのビットデータである。

## 【0021】

一方、ラッチイネーブル生成部16ではアンド回路6から出力されたシフトクロックに基づいてラッチイネーブルを生成し、ラッチ回路42に向けて出力する。

## 【0022】

図4はアドレスデータの書込みとラッチイネーブルのタイミングを示す図である。フレームメモリ1から読み出されたアドレスデータは1ライン分ずつ順次シフトレジスタ41に書き込まれる。図4に示すように、1ライン分の最後のデータ（データz）を書き込むためのシフトクロックの立ち上がりと同時に、ラッチ回路42に入力されるラッチイネーブルが立ち上がるため、1ライン分のデータ（例えば、データa～データz）がラッチされてアドレスドライバ43に同時に入力される。これにより、上記のように、アドレス期間において行電極Y1～Ynに順次走査パルスが印加されると同時に、列電極Z1～Zmに所定のアドレスデータに応じたデータパルスDP1～DPnが印加される。

## 【0023】

ところで、本実施形態では、フレームメモリ 1 からアドレスデータを読み出している間のみ読出制御部 3 から信号 H A を出力するようにしている。図 1 に示すように、この信号 H A および制御部 5 から出力されるクロックをアンド回路 6 に入力することによって、信号 H A が出力されている（「H」となっている）期間のみクロックを通過させ、シフトクロックとして出力している。すなわち、フレームメモリ 1 からアドレスデータが読み出されていない期間には、シフトクロックの供給を停止するようにしている。このため、図 4 に示すように、アドレスデータが読み出されていない期間はシフトクロックが供給されないので、この間、シフトレジスタ 4 1 のデータが更新されず、シフトレジスタ 4 1 では正規のラッチイネーブルの信号が立ち上がったときの記憶状態が維持される。このため、図 4 に示すように、ノイズがラッチイネーブルに重畳された場合でも、ノイズによりラッチされるデータが正規のアドレスデータと同一となる。したがって、ノイズによって誤ったタイミングでアドレスデータがラッチされたとしてもプラズマディスプレイパネル 3 0 には正常なアドレスデータに従ったデータパルスが印加されることとなる。

## 【 0 0 2 4 】

制御部 5 から出力されたパルス生成用制御データは、アドレスドライバ 4 3 に向けて駆動パルスを出力するアドレス共振電源回路 1 7（図 1）に設けられたスイッチング素子のオン／オフを制御するためのデータである。アドレス共振電源回路 1 7 の具体例については後述する。

## 【 0 0 2 5 】

一方、図 1 に示すように、制御部 5 から出力されたスキャンドライバ用制御データ、サステインドライバ用制御データ、およびその他のパルス生成用制御データは、それぞれデコーダ 7 3、デコーダ 7 4 およびデコーダ 7 5 に入力される。デコーダ 7 3～デコーダ 7 5 では、それぞれの制御データを制御部 5 からのクロックに基づいて復号化し、スキャンドライバ用制御データ、サステインドライバ用制御データ、およびその他のパルス生成用制御データとしてデコードされた制御データを出力する。

## 【 0 0 2 6 】

なお、デコーダ部 7 における復号化の具体的処理については、さらに後述する

#### 【0027】

駆動制御部 22 では、スキャンドライバ用制御データに基づいてスキャンドライバ 20 に設けられたスイッチング素子をオン／オフする信号を、サステインドライバ用制御データに基づいてサステインドライバ 19、21 に設けられたスイッチング素子をオン／オフする信号を、その他のパルス生成用制御データに基づいてリセットパルス、消去パルス等を発生させるためのスイッチング素子をオン／オフする信号を、それぞれ生成する。

#### 【0028】

次に、図 5 および図 6 を参照して、アドレス共振電源回路 17 およびアドレスドライバ 43 の具体例について説明する。

#### 【0029】

図 5 に示すアドレス共振電源回路 17 は、所定の振幅を有する共振パルス電源電位を発生して図 1 に示す電源ライン Z に出力する。アドレス共振電源回路 17 におけるコンデンサ C1P は、その一端がプラズマディスプレイ 30 の接地電位  $V_s$  に接地されている。スイッチング素子 S1P がオン状態の場合には、上記コンデンサ C1P の他端に生じた電位をコイル L1P およびダイオード D1P を介して電源ライン Z に印加する。スイッチング素子 S2P がオン状態の場合には電源ライン Z の電位をコイル L2P およびダイオード D2P を介してコンデンサ C1P の他端に印加する。この際、コンデンサ C1P は電源ライン Z 上の電位によって充電される。スイッチング素子 S3P がオン状態の場合には、直流電源 B1P による電源電位  $V_a$  を電源ライン Z 上に印加する。なお、この直流電源 B1P の負側端子は、プラズマディスプレイパネル 30 の接地電位  $V_s$  に接地されている。

#### 【0030】

図 5 に示すように、アドレスドライバ 43 には、1 行分 (m 個) の画素データビット DB1～DBm の各々に応じて、それぞれ独立してオン／オフ制御されるスイッチング素子 SWZ1～SWZm および SSWZ1o～SSWZmo が設けら

れている。スイッチング素子SWZ1～SWZmの各々は、それぞれに供給された画素データビットDBが論理レベル“1”である場合に限りオン状態となって、電源ラインZ上に印加されている共振パルス電源電位をプラズマディスプレイパネル30の列電極Z1～Zmに印加する。一方、スイッチング素子SWZ1o～SWZmo各々は、それぞれ画素データビットDBが論理レベル“0”である場合に限りオン状態となって、列電極上の電位を接地電位Vsに接地する。

## 【0031】

以下に、図6を参照してアドレス共振電源回路17およびアドレスドライバ43のアドレス期間における動作について説明する。

## 【0032】

図5に示すように、アドレス共振電源回路17には、パルス生成用制御データSW1P～SW3Pが入力される。パルス生成用制御データSW1P～SW3Pは、それぞれ、スイッチング素子SW1P～SW3Pをオン／オフするためのデータである。図6に示すように、パルス生成用制御データSW1P～SW3Pに従ってスイッチング素子S1P、S3P、S2Pが順に繰り返しオンするように各スイッチング素子が反転を繰り返す。このような動作により、電源ラインZ上の電位が周期的に上昇する。この周期的な電位の上昇区間はスキンドライバ20による走査タイミングに一致している。

## 【0033】

このとき、電源ラインZ上の電位が上昇しているタイミングにあわせて、アドレスドライバ43のスイッチング素子SWZ1～SWZmおよびSWZ1o～SWZmoには、所定の列電極Z1～Zmに対応した画素データビットDBが入力される。図6では、第i列における第1行～第7行に対応した画素データビットDBのビット系列が、

[1、0、1、0、1、0、1]

の場合を示している。この画素データビットDBは、ラッチ回路42によりラッチされたアドレスデータに他ならない。アドレス期間では、以上のような動作を各列について順次実行することにより、各列ごとにセルを点灯セル／消灯セルに設定することができる。

## 【0034】

次に、図7および図8を参照して、サステインドライバ19、21およびスキヤンドライバ20等の具体例について説明する。

## 【0035】

サステインドライバ21は、直流の電圧 $V_S$ を発生する直流電源B1、スイッチング素子S1～S4、コイルL1およびL2、ダイオードD1およびD2、コンデンサC1から構成される。スイッチング素子S1がオン状態の場合には、コンデンサC1の一端上の電位を、コイルL1およびダイオードD1を介して行電極Xiに印加する。スイッチング素子S2がオン状態の場合には、行電極Xi上の電位を、コイルL2およびダイオードD2を介してコンデンサC1の一端に印加する。スイッチング素子S3がオン状態の場合には、直流電源B1が生成する電圧 $V_S$ を行電極Xiに印加する。スイッチング素子S4がオン状態の場合には、行電極Xiを接地する。

## 【0036】

サステインドライバ21のスイッチング素子S1～S4は、それぞれ制御部5から出力され転送されてきたサステインドライバ用制御データを復号化したデータSW1～SW4に基づいてオン／オフが制御される。

## 【0037】

リセットパルス発生回路21Aは、直流の電圧 $V_{Rx}$ を発生する直流電源B2、スイッチング素子S7、抵抗R1から構成される。直流電源B2の正側端子は接地されており、その負側端子はスイッチング素子S7に接続されている。スイッチング素子S7がオン状態の場合、直流電源B2の負側端子電圧である電圧 $-V_R$ を、抵抗R1を介して行電極Xiに印加する。

## 【0038】

リセットパルス発生回路21Aのスイッチング素子S7は、制御部5から出力され転送されてきたその他のパルス生成用制御データを復号化したデータSW7に基づいてオン／オフが制御される。

## 【0039】

サステインドライバ19は、直流の電圧 $V_S$ を発生する直流電源B3、スイッ

チング素子  $S_{11} \sim S_{14}$ 、コイル  $L_3$  および  $L_4$ 、ダイオード  $D_3$  および  $D_4$ 、コンデンサ  $C_2$  から構成される。スイッチング素子  $S_{11}$  がオン状態の場合、コンデンサ  $C_2$  の一端上の電位を、コイル  $L_3$  およびダイオード  $D_3$  を介してライン 31 上に印加する。スイッチング素子  $S_{12}$  がオン状態の場合、ライン 31 上の電位を、コイル  $L_4$  およびダイオード  $D_4$  を介してコンデンサ  $C_2$  の一端に印加する。スイッチング素子  $S_{13}$  がオン状態の場合、直流電源  $B_3$  が発生した電圧  $V_S$  をライン 31 に印加する。スイッチング素子  $S_{14}$  がオン状態の場合、ライン 31 を接地する。

## 【0040】

サステインドライバ 19 のスイッチング素子  $S_{11} \sim S_{14}$  は、それぞれ制御部 5 から出力され転送されてきたサステインドライバ用制御データを復号化したデータ  $SW_{11} \sim SW_{14}$  に基づいてオン／オフが制御される。

## 【0041】

次に、リセットパルス発生回路 20A は、直流の電圧  $V_{Ry}$  (但し、 $|V_{Ry}| < |V_{Rx}|$ ) を発生する直流電源  $B_4$ 、スイッチング素子  $S_{15}$ 、 $S_{16}$ 、抵抗  $R_2$  から構成される。直流電源  $B_4$  の正側端子は接地されており、その負側端子はスイッチング素子  $S_{16}$  に接続されている。スイッチング素子  $S_{16}$  がオン状態の場合、直流電源  $B_4$  の正側端子電圧である電圧  $V_{Ry}$  を抵抗  $R_2$  を介してライン 32 上に印加する。スイッチング素子  $S_{15}$  がオン状態の場合には、ライン 31 とライン 32 とを接続する。

## 【0042】

リセットパルス発生回路 20A のスイッチング素子  $S_{15}$ 、 $S_{16}$  は、それぞれ制御部 5 から出力され転送されてきたその他のパルス生成用制御データを復号化したデータ  $SW_{15}$ 、 $SW_{16}$  に基づいてオン／オフが制御される。

## 【0043】

スキヤンドライバ 20 は、行電極  $Y_1 \sim Y_n$  ごとに設けられており、それぞれ直流の電圧  $V_h$  を発生する直流電源  $B_5$ 、スイッチング素子  $S_{21}$ 、 $S_{22}$ 、ダイオード  $D_5$  および  $D_6$  から構成される。スイッチング素子  $S_{21}$  がオン状態の場合、直流電源  $B_5$  の正側端子と、行電極  $Y$  と、ダイオード  $D_6$  のカソード端と

を共に接続する。スイッチング素子 S 2 2 がオン状態のとき、直流電源 B 5 の負側端子と、行電極 Y と、ダイオード D 5 のアノード端とを共に接続する。

## 【 0 0 4 4 】

スキャンドライバ 2 0 のスイッチング素子 S 2 1、S 2 2 は、それぞれ制御部 5 から出力され転送されてきたスキャンパルス用制御データを復号化したデータ S W 2 1、S W 2 2 に基づいてオン／オフが制御される。

## 【 0 0 4 5 】

図 8 はアドレスドライバ 4 3、サステインドライバ 1 9 および 2 1、スキャンドライバ 2 0、リセットパルス発生回路 2 0 A および 2 1 A の各々から、プラズマディスプレイパネル 3 0 のアドレス電極 Z 1 ~ Z m、行電極 X 1 ~ X n および Y 1 ~ Y n に印加される各種駆動パルスの印加タイミングの一例を示す図である。

## 【 0 0 4 6 】

図 8 に示すように、リセット期間 R c ではリセットパルス発生回路 2 1 A および 2 0 A が行電極 X 1 ~ X n および Y 1 ~ Y n の各々に対してリセットパルス R P X 1 および R P Y 1 を同時に印加する。これにより、すべてのセルにおいて行電極間で放電が生じて、各セルには一様の壁電荷が形成される。これによりすべてのセルが点灯セルに初期化される。

## 【 0 0 4 7 】

アドレス期間 W c では、アドレスドライバ 4 3 が、各行ごとの画素データパルス群を順次列電極 Z 1 ~ Z m に印加していく。この画素データパルス群は上記画素データビット D B のビット系列に対応している。このとき、スキャンドライバ 2 0 は、画素データパルス群の印加と同一タイミングで走査パルス S P を発生し、走査パルス S P を行電極 Y 1 ~ Y n へと順次印加していく。このとき、セルでは一方の行電極に走査パルス S P が印加され、且つアドレス電極に高電圧の画素データパルスが印加された場合にのみ行電極とアドレス電極との間で放電（選択消去放電）が生じ、そのセルに残存していた壁電荷が消去され、そのセルは消灯セルに移行する。その他のセルについては壁電荷が残留し、それらのセルは点灯セルのまま維持される。このようにして、アドレス期間 W c では、すべてのセル



をアドレスデータに従って点灯セルおよび消灯セルに設定する。

【0048】

次に、サステイン期間 I c では、サステインドライバ 21 および 19 は、行電極 X1 ~ Xn および Y1 ~ Yn に対して交互に、パルス振幅 V s のサステインパルス I P X および I P Y を印加する。このとき、アドレス期間において壁電荷が残留している点灯セルのみが繰り返して発光する。

【0049】

また、1フィールド内の最後のサブフィールド（図8では、サブフィールド S F 14）には消去期間 E が設けられ、ここではアドレスドライバ 43 は消去パルス A P を発生して、これを列電極 Z1 ~ Zm に印加する。一方、スキヤンドライバ 20 は消去パルス A P と同時に消去パルス E P を発生してこれを行電極 Y1 ~ Yn 各々に印加する。これら消去パルス A P および E P の同時印加により、すべてのセルで消去放電が発生し、壁電荷が消滅する。

【0050】

図9はこのような選択消去アドレス法を採用した場合に、アドレスドライバ 43、サステインドライバ 19 および 21、スキヤンドライバ 20、リセットパルス発生回路 20 A および 21 A からプラズマディスプレイパネル 30 に印加する駆動パルスの印加タイミングおよび各スイッチング素子の切り替えタイミングを示す図である。

【0051】

図9についての詳細説明は省略するが、このように、アドレスドライバ 43、サステインドライバ 19 および 21、スキヤンドライバ 20、リセットパルス発生回路 20 A および 21 A に設けられた多数のスイッチング素子を制御することにより、所望の駆動パルスをプラズマディスプレイパネル 30 の各電極に印加することができる。

【0052】

上述のように、本実施形態では制御部 5 から出力された各種制御データをデコーダ部 7 において復号化している。デコーダ部 7 における各デコーダでは、ルックアップテーブル（LUT）を用いて復号化を実行する。

## 【0053】

図10は復号化に用いられるルックアップテーブルを示す図であり、図10 (a) はデコーダ71における復号化に用いるルックアップテーブルを、図10 (b) はデコーダ72における復号化に用いるルックアップテーブルを、図10 (c) はデコーダ74における復号化に用いるルックアップテーブルを、それぞれ示している。

## 【0054】

図10 (a) に示すように、デコーダ71からアドレス共振電源回路17に与えられる制御データ（スイッチ制御信号）により、デコーダ71に入力される4種類の制御データに対応する4種類の状態が定義される。具体的には、デコーダ71に入力される制御データが(0, 0)の場合には、アドレス共振電源回路17 (図5) のスイッチング素子S1P、S2PおよびS3Pのすべてをオフとする状態 (SW1P, SW2P, SW3P) = (0, 0, 0) を出力する。入力される制御データが(0, 1)の場合には、スイッチング素子S1Pをオンし、スイッチング素子S2PおよびS3Pをオフする状態 (SW1P, SW2P, SW3P) = (1, 0, 0) を出力する。入力される制御データが(1, 0)の場合には、スイッチング素子S1PおよびS2Pをオンし、スイッチング素子S3Pをオフする状態 (SW1P, SW2P, SW3P) = (1, 0, 0) を出力する。入力される制御データが(1, 1)の場合には、スイッチング素子S2Pをオンし、スイッチング素子S1PおよびS3Pをオフする状態 (SW1P, SW2P, SW3P) = (0, 1, 0) を出力する。

## 【0055】

スイッチング素子S1P～S3Pの状態（オン／オフ）の組み合わせとしては、 $2^3 = 8$ 通りの組み合わせが考えられるが、本実施形態ではルックアップテーブルを参照してスイッチング素子S1P～S3Pの状態を定めているので、上記4種類以外の組み合わせが禁止される。したがって、スイッチング素子のオン／オフ状態の異常な組み合わせ（例えば、スイッチング素子S1Pとスイッチング素子S3Pが同時にオンする状態）の発生を排除でき、保護機能の役割を果たすことができる。

## 【 0 0 5 6 】

図 1 0 ( b ) に示すように、デコーダ 7 2 からアドレスドライバ 4 3 に与えられる制御データ ( モード信号 ) により、デコーダ 7 2 に入力される 4 種類の制御データに対応する 4 種類の状態が定義される。具体的には、デコーダ 7 2 に入力される制御データが ( 0 , 0 ) の場合には、ラッチ回路 4 2 から与えられた 1 ライン分のアドレスデータをアドレスドライバ 4 3 から出力する状態 ( 1 , 1 , 0 ) を出力する。入力される制御データが ( 0 , 1 ) の場合には、アドレスドライバ 4 3 の全スイッチング素子をオープンにする状態 ( 0 , 0 , 1 ) を出力する。入力される制御データが ( 1 , 0 ) の場合には、アドレスドライバ 4 3 の全スイッチング素子を出力「H」にする状態 ( 0 , 0 , 0 ) を出力する。入力される制御データが ( 1 , 1 ) の場合には、アドレスドライバ 4 3 の全スイッチング素子を出力「L」にする状態 ( 0 , 0 , 0 ) を出力する。

## 【 0 0 5 7 】

アドレスドライバ 4 3 のスイッチング素子を制御する状態の組み合わせとしては、上記 4 種類以外の組み合わせも考えられるが、本実施形態ではルックアップテーブルを参照してスイッチング素子の状態を定めているので、他の組み合わせが禁止される。

## 【 0 0 5 8 】

図 1 0 ( c ) に示すように、デコーダ 7 4 から駆動制御部 2 2 に与えられる制御データにより、デコーダ 7 4 に入力される 5 種類の制御データに対応する 4 種類の状態が定義される。具体的には、入力される制御データが ( 0 , 0 , 0 ) の場合には、サステインドライバ 2 1 ( 図 7 ) のスイッチング素子 S 1 ~ S 4 のすべてをオフとする状態 ( SW 1 , SW 2 , SW 3 , SW 4 ) = ( 0 , 0 , 0 , 0 ) を出力する。入力される制御データが ( 0 , 0 , 1 ) の場合には、スイッチング素子 S 4 をオンし、スイッチング素子 S 1 ~ S 3 をオフする状態 ( SW 1 , SW 2 , SW 3 , SW 4 ) = ( 0 , 0 , 0 , 1 ) を出力する。入力される制御データが ( 0 , 1 , 0 ) の場合には、スイッチング素子 S 1 をオンし、スイッチング素子 S 2 ~ S 4 をオフする状態 ( SW 1 , SW 2 , SW 3 , SW 4 ) = ( 1 , 0 , 0 , 0 ) を出力する。入力される制御データが ( 0 , 1 , 1 ) の場合には、ス

スイッチング素子 S1, S3 をオンし、スイッチング素子 S2, S4 をオフする状態 (SW1, SW2, SW3, SW4) = (1, 0, 1, 0) を出力する。入力される制御データが (1, 0, 0) の場合には、スイッチング素子 S4 をオンし、スイッチング素子 S1 ~ S3 をオフする状態 (SW1, SW2, SW3, SW4) = (0, 0, 0, 1) を出力する。

## 【0059】

スイッチング素子 S1 ~ S4 の状態 (オン/オフ) の組み合わせとしては、 $2^4 = 16$  通りの組み合わせが考えられるが、本実施形態ではルックアップテーブルを参照してスイッチング素子 S1 ~ S4 の状態を定めているので、上記 4 種類以外の組み合わせが禁止される。

## 【0060】

以上説明したように、第 1 の実施形態の表示パネル駆動装置 100 によれば、符号化したデータを転送し、駆動部 100B においてデータをデコードするようにしている。このため、各スイッチング素子のオン/オフ状態を示すデータをそれぞれ転送する場合とは異なり、実際に実行される各スイッチング素子のオン/オフ状態の組み合わせのみを表現できればよいため、転送データ量を減少させることができる。したがって、データの伝送路数を削減することができる。また、デコードに際して復号後のデータの出力タイミングを揃えることができるため、スキューの発生を効果的に抑制できる。さらに、デコードに際して、異常な状態を示すデータの出力を禁止することができるため、伝送路において外部から混入したノイズなどによる誤動作を防止できる。

## 【0061】

また、第 1 の実施形態のパネル駆動装置 100 では、フレームメモリ 1 からアドレスデータが読み出されている期間のみシフトクロックを発生させている。このため、アドレスデータが読み出されていない期間はシフトレジスタ 41 のデータが更新されず、ラッチイネーブルの後のノイズによりラッチされてしまったデータは、正規のデータと同一となる。したがって、ノイズによって誤ったタイミングでアドレスデータがラッチされたとしてもプラズマディスプレイパネル 30 に正常なアドレスデータを供給することができる。また、ラッチイネーブル生成

部16は、シフトレジスタ41に供給される上記シフトクロックに基づいてラッチイネーブルを生成している。このため、ラッチイネーブルの生成タイミングをシフト動作と確実に同期させることができる。また、ラッチイネーブルを生成するタイミングを規定するためのクロックを別途生成し、これを伝送する必要がないため、伝送路数を削減できる。

#### 【0062】

なお、第1の実施形態および特許請求の範囲の記載について、フレームメモリ1が「記憶部」に、読出制御部3が「読出部」に、制御部5が「シフトクロック発生部」に、アンド回路6が「シフトクロック発生部」に、デコーダ部7が「制御信号変換部」に、サステインドライバ19, 21が「駆動パルス発生回路」に、スキヤンドライバ20が「駆動パルス発生回路」に、リセットパルス発生回路20A, 21Aが「駆動パルス発生回路」に、駆動制御部22が「駆動パルス発生回路」に、プラズマディスプレイパネル30が「表示パネル」に、アドレスドライバ部40が「駆動部」および「駆動パルス発生回路」に、アドレスドライバ43が「駆動回路」に、伝送ラインLが「データ転送手段」に、それぞれ対応する。

#### 【0063】

##### ー第2の実施形態ー

以下、図11を参照して、本発明による表示パネル駆動装置の第2の実施形態について説明する。図11は本実施形態の表示パネル駆動装置を示すブロック図である。なお、図11では、表示パネル駆動装置200の一部のみを示している。以下、第1の実施形態と同一の要素についての説明は省略する。

#### 【0064】

第2の実施形態の表示パネル駆動装置200では、表示制御部200Aから駆動部200Bへのアドレスデータおよびシフトクロックの伝送にLVDS (Low Voltage Differential Signaling) で伝送する方式 (差動シリアル伝送方式) を用いている。

#### 【0065】

LVDSによる伝送方式は、2本の信号線を対称的に逆相で駆動し、2本の信

号線の信号の差を伝送する方式であるため、外部から混入するノイズが打ち消しあって信号に影響を与えにくい等の特長がある。図 1 1 に示すように、表示パネル駆動装置 2 0 0 では、表示制御部 2 0 0 A 内に、フレームメモリ 1 から読み出されたアドレスデータ等の多ビットの平行データおよびアンド回路 6 (図 1) から出力されたシフトクロックを一連のシリアル差動信号に変換するシリアルライザ 8 を設けている。また、駆動部 2 0 0 B 内に、シリアルライザ 8 から伝送ライン L 1 を介して転送されたシリアル差動信号を平行データに再変換するデシリアルライザ 9 を設けている。

## 【 0 0 6 6 】

図 1 1 に示すように、シリアルライザ 8 は、制御部 5 からのクロックを受けて送信クロックを生成する PLL 部 8 1 と、フレームメモリ 1 から読み出されたアドレスデータ、およびアンド回路 6 から出力されたシフトクロックを制御部 5 からのクロックに基づいてそれぞれラッチする入力ラッチ部 8 2 と、入力ラッチ部 8 2 によりラッチされた平行データを PLL 部 8 1 からの、制御部 5 から入力されたクロックの  $n$  倍の周波数のクロックに基づいてシリアル化する平行／シリアル変換部 8 3 と、平行／シリアル変換部 8 3 から出力されたシリアルデータをツイストケーブル等からなる伝送ライン L 1 を介して差動シリアル送信する送信出力部 8 4 と、を備える。

## 【 0 0 6 7 】

シリアルライザ 8 に入力されるアドレスデータおよびシフトクロックは、第 1 の実施形態のパネル駆動装置 1 0 0 において表示制御部 1 0 0 A から出力されるアドレスデータおよびシフトクロック (図 1) に相当するものである。

## 【 0 0 6 8 】

デシリアルライザ 9 は、伝送ライン L 1 を介して転送された差動シリアル信号を受信する受信部 9 1 と、伝送ライン L 1 を介して転送された転送クロックを受けてクロックを生成する PLL 部 9 2 と、受信部 9 1 から出力されるシリアル信号を PLL 部 9 2 からの、転送クロックの  $n$  倍の周波数のクロックに基づいて平行データ化するシリアル／平行変換部 9 3 と、シリアル／平行変換部 9 3 から出力された平行データを PLL 部 9 2 からのクロックでラッチする

出力ラッチ部 94 と、を備える。なお、上記転送クロックおよび出力ラッチ部 94 に与えられるクロックは、PLL 部 81 に入力されるクロックと同一周波数である。

#### 【0069】

出力ラッチ部 94 から出力されるアドレスデータおよびシフトクロックに基づいて、第 1 の実施形態と同様のアドレスデータのシフト動作およびラッチイネーブルの生成動作が実行される。

#### 【0070】

すなわち、図 4 に示すように、フレームメモリ 1 から読み出されたアドレスデータは 1 ライン分ずつ順次シフトレジスタ 41 (図 1) に書き込まれる。1 ライン分の最後のデータ (データ z) を書き込むためのシフトクロックの立ち上がりと同時に、ラッチ回路 42 (図 1) に入力されるラッチイネーブルが立ち上がり、1 ライン分のデータ (例えば、データ a ~ データ z) がラッチされてアドレスドライバ 43 (図 1) に同時に入力される。これにより、第 1 の実施形態と同様、アドレス期間において行電極 Y1 ~ Yn に順次走査パルスが印加されると同時に、列電極 Z1 ~ Zm に所定のアドレスデータに応じたデータパルス DP1 ~ DPn が印加される。

#### 【0071】

なお、第 2 の実施形態の表示パネル駆動装置 200 において、制御部 5 (図 1) から出力される各種制御データおよびクロックの伝送および処理に関しては、第 1 の実施形態の表示パネル駆動装置 100 と同様に構成してもよいし、これらの各種制御データおよびクロックについてもシリアル伝送方式により伝送するようにしてもよい。

#### 【0072】

第 2 の実施形態の表示パネル駆動装置 200 では、アドレスデータおよびシフトクロックをシリアルライザ 8 により一連のシリアルデータに変換して転送しており、いわばアドレスデータとシフトクロックとを同時にデータ化したうえで両者を一括して転送している。このため、伝送路数を削減できるとともに、アドレスデータとシフトクロックとの間でのスキューの発生を防止することができる。ま

た、差動シリアル伝送方式を採用しているため、伝送ラインLへの外部からのノイズの混入を効果的に抑制できる。したがって、ノイズに起因する誤動作を効果的に抑制できる。

## 【0073】

また、第2の実施形態の表示パネル駆動装置200では、第1の実施形態と同様、フレームメモリ1からアドレスデータが読み出されている期間のみシフトクロックを発生させている。このため、アドレスデータが読み出されていない期間はシフトレジスタ41のデータが更新されず、ラッチイネーブルの後のノイズによりラッチされてしまったデータは、正規のデータと同一となる。したがって、ノイズによって誤ったタイミングでアドレスデータがラッチされたとしてもプラズマディスプレイパネル30に正常なアドレスデータを供給することができる。また、ラッチイネーブル生成部16は、シフトレジスタ41に供給される上記シフトクロックに基づいてラッチイネーブルを生成している。このため、ラッチイネーブルの生成タイミングをシフト動作と確実に同期させることができる。また、ラッチイネーブルを生成するタイミングを規定するためのクロックを別途生成し、これを伝送する必要があるため、伝送路数を削減できる。

## 【0074】

なお、第2の実施形態および特許請求の範囲の記載について、パラレル／シリアル変換部83が「パラレル／シリアル変換器」および「データ転送手段」に、送信出力部84が「送信部」および「データ転送手段」に、シリアル／パラレル変換部93が「シリアル／パラレル変換器」および「データ転送手段」に、伝送ラインL1が「データ転送手段」に、それぞれ対応する。

## 【0075】

上記第1および第2の実施形態では、表示パネルとしてプラズマディスプレイパネルを例示しているが、本発明は表示パネルとして液晶表示パネル、EL表示パネル等の各種パネルに対し適用できる。

## 【図面の簡単な説明】

## 【図1】

第1の実施形態の表示パネル駆動装置を示すブロック図。



【図 2】

1. フィールドの構成を示す図。

【図 3】

1 サブフィールド内の駆動パルスを示す図。

【図 4】

ラッチイネーブルによりラッチされるアドレスデータを示す図。

【図 5】

アドレス共振電源回路およびアドレスドライバの構成を示す図。

【図 6】

アドレス共振電源回路およびアドレスドライバのアドレス期間における動作を示す図。

【図 7】

サステインドライバおよびスキヤンドライバ等の構成を示す図。

【図 8】

アドレス電極および行電極に印加される各種駆動パルスの印加タイミングの一例を示す図。

【図 9】

選択消去アドレス法を採用した場合における駆動パルスの印加タイミングおよび各スイッチング素子の切り替えタイミングを示す図。

【図 1 0】

復号化に用いられるルックアップテーブルを示す図であり、(a) はデコーダ 7 1 における復号化に用いるルックアップテーブルを示す図、(b) はデコーダ 7 2 における復号化に用いるルックアップテーブルを示す図、(c) はデコーダ 7 4 における復号化に用いるルックアップテーブルを示す図。

【図 1 1】

L V D S 方式での転送を行う場合の構成を示す図。

【符号の説明】

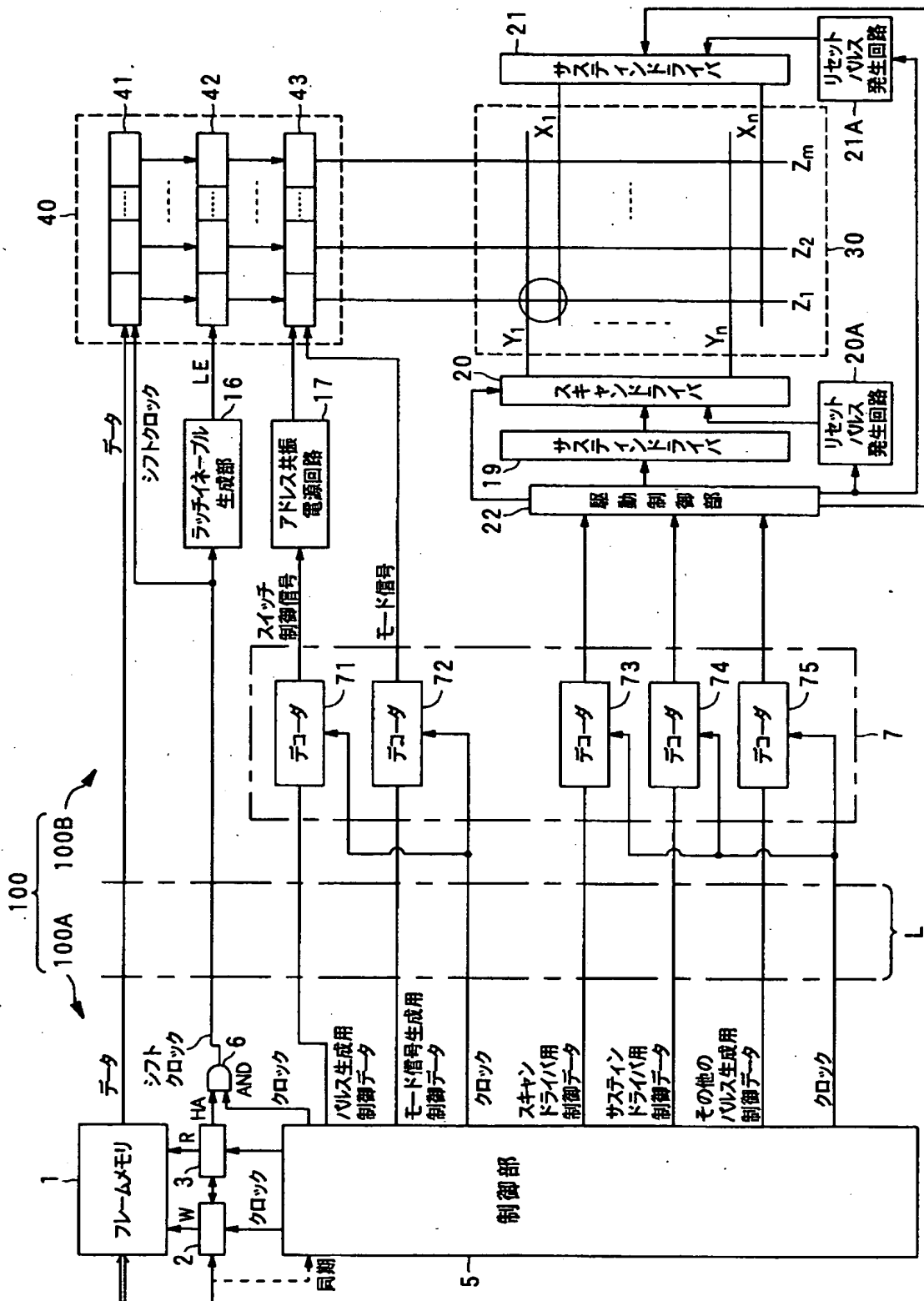
- 1 フレームメモリ (記憶部)
- 3 読出制御部 (読出部)

- 5 制御部 (シフトクロック発生部)
- 6. アンド回路 (シフトクロック発生部)
- 7 デコーダ部 (制御信号変換部)
- 1 6 ラッチイネーブル生成部
- 1 9, 2 1 サステインドライバ (駆動パルス発生回路)
- 2 0 スキャンドライバ (駆動パルス発生回路)
- 2 0 A, 2 1 A リセットパルス発生回路 (駆動パルス発生回路)
- 2 2 駆動制御部 (駆動パルス発生回路)
- 3 0 プラズマディスプレイパネル (表示パネル)
- 4 0 アドレスドライバ部 (駆動部、駆動パルス発生回路)
- 4 1 シフトレジスタ
- 4 3 アドレスドライバ (駆動回路)
- 8 3 パラレル/シリアル変換部 (パラレル/シリアル変換器、データ転送手段)
- 8 4 送信出力部 (送信部、データ転送手段)
- 9 1 受信部
- 9 3 シリアル/パラレル変換部 (シリアル/パラレル変換器、データ転送手段)
- 1 0 0 A, 2 0 0 A 表示制御部
- 1 0 0 B, 2 0 0 B 駆動部
- L, L 1 伝送ライン (データ転送手段)

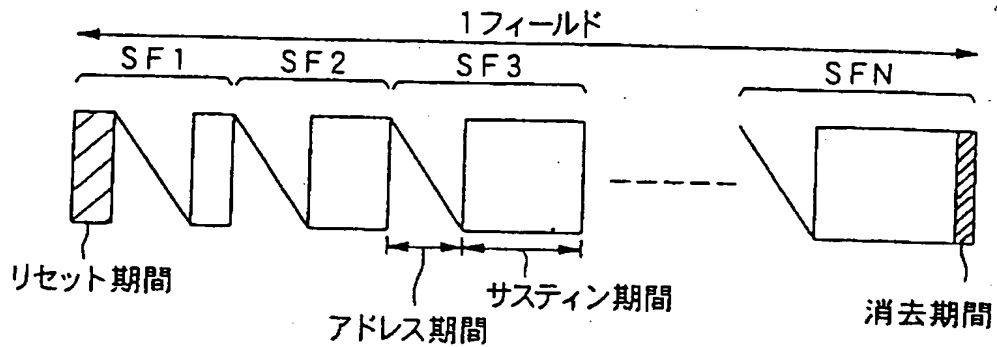
【書類名】

凶面

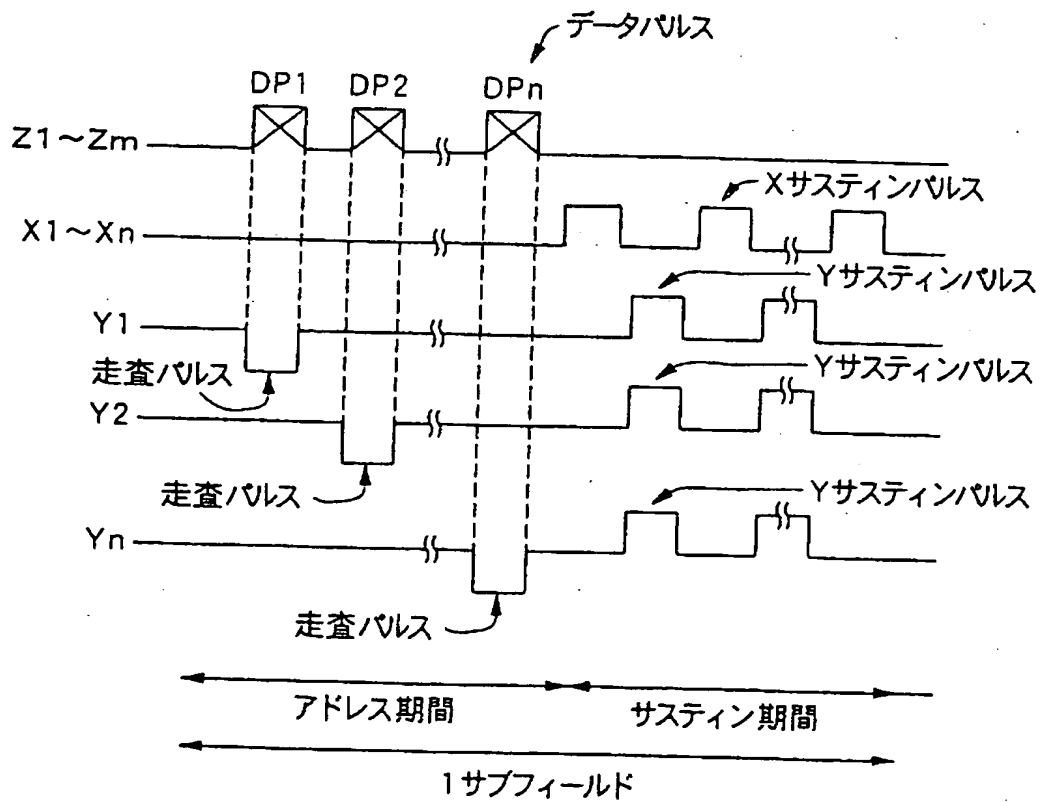
【圖 1】.



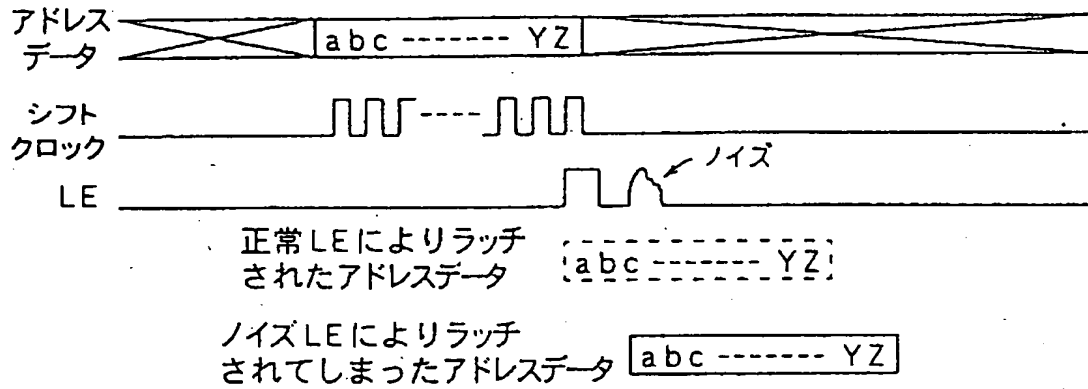
【図2】



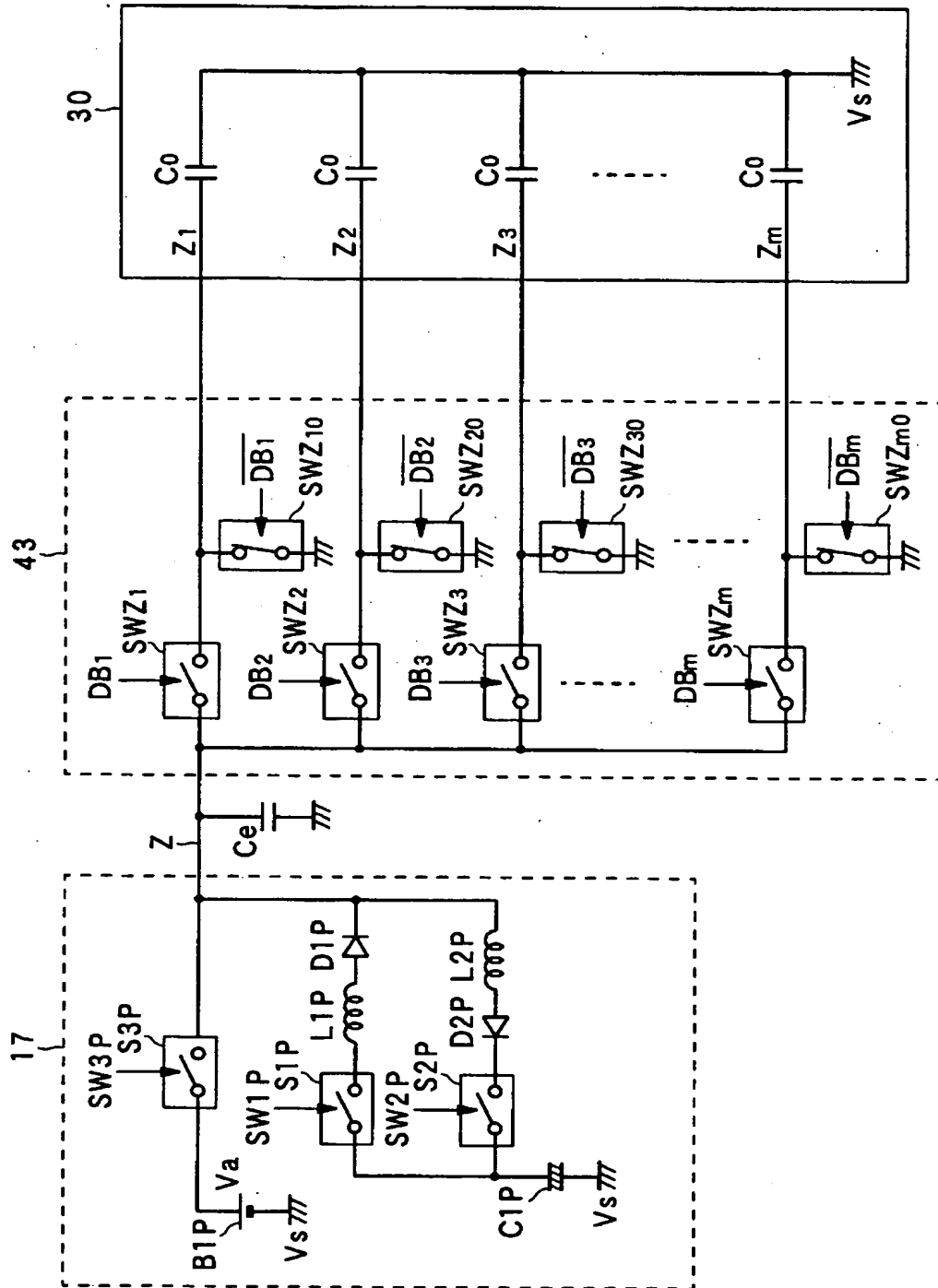
【図3】



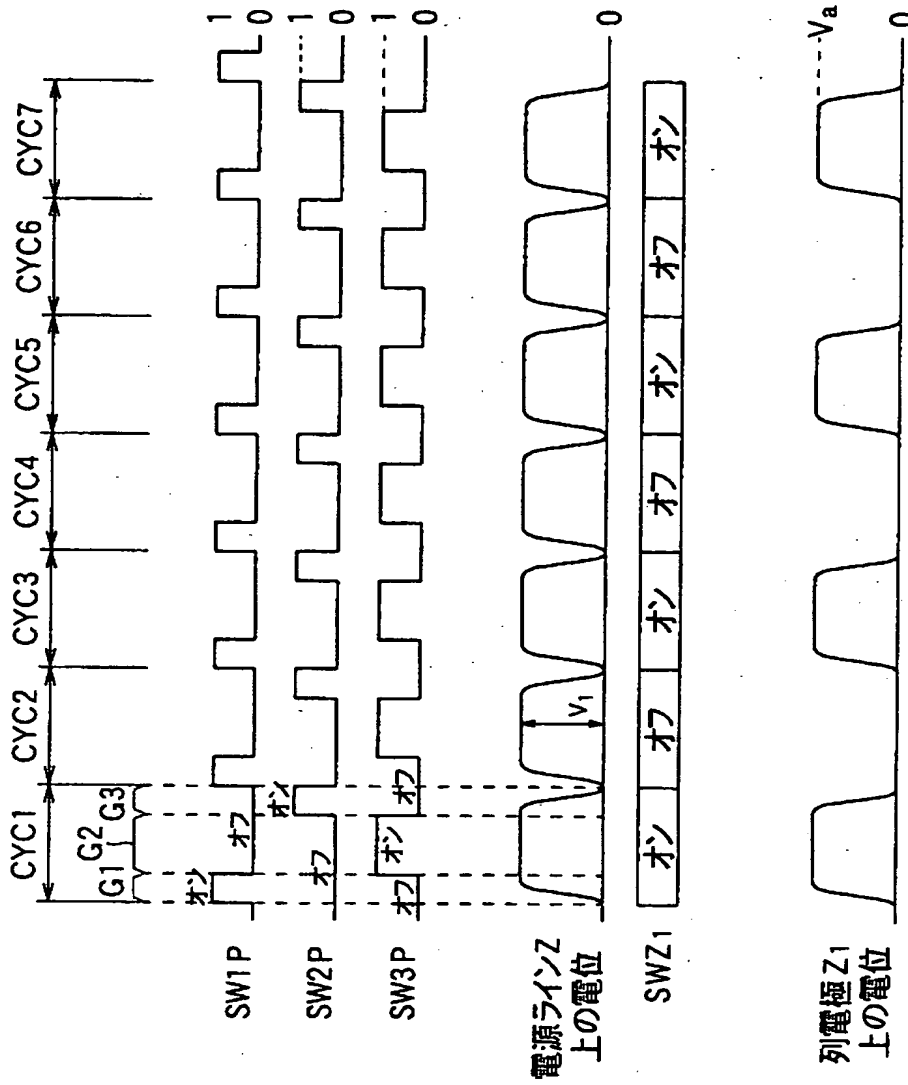
【図4】



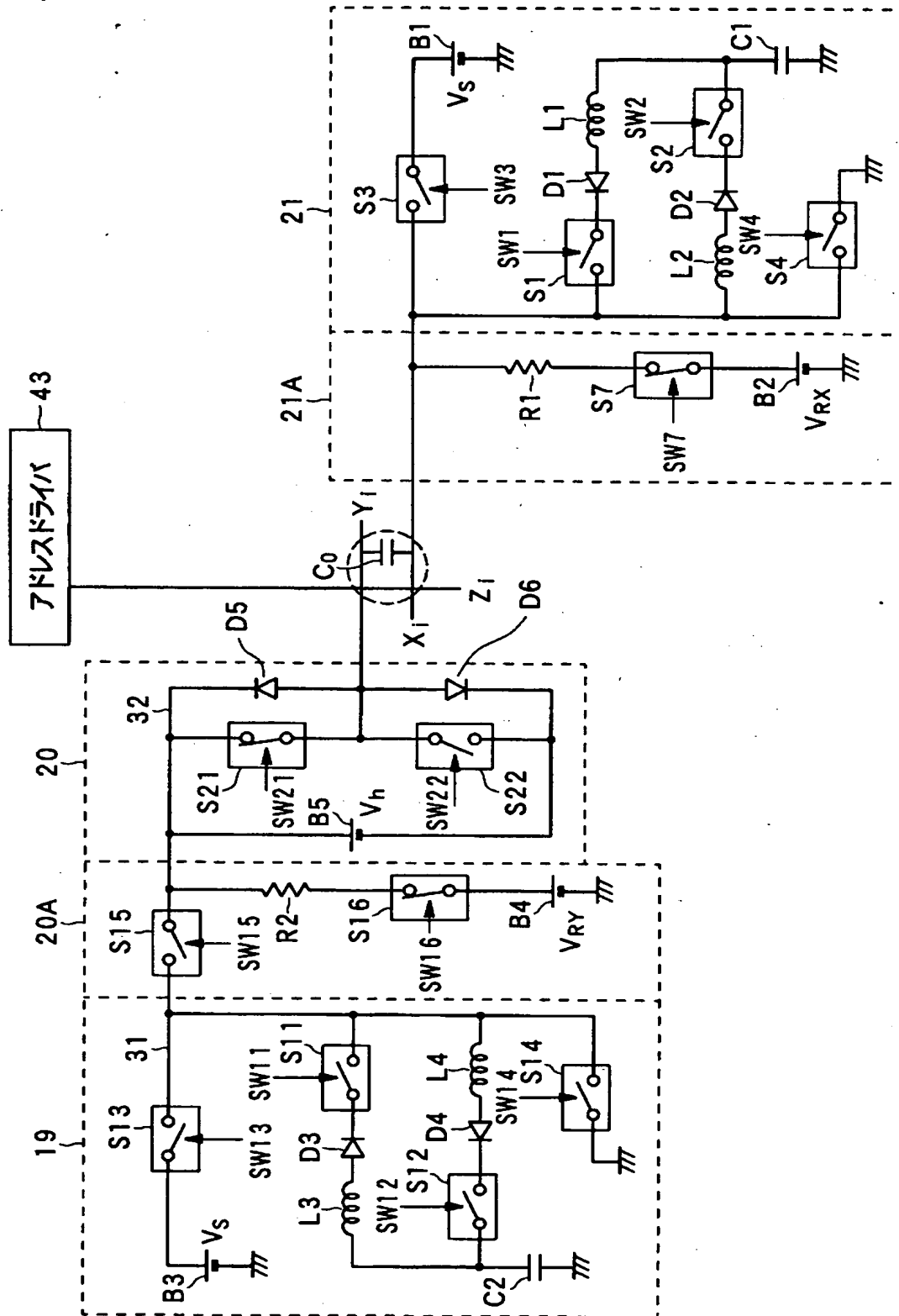
【図5】



【図6】

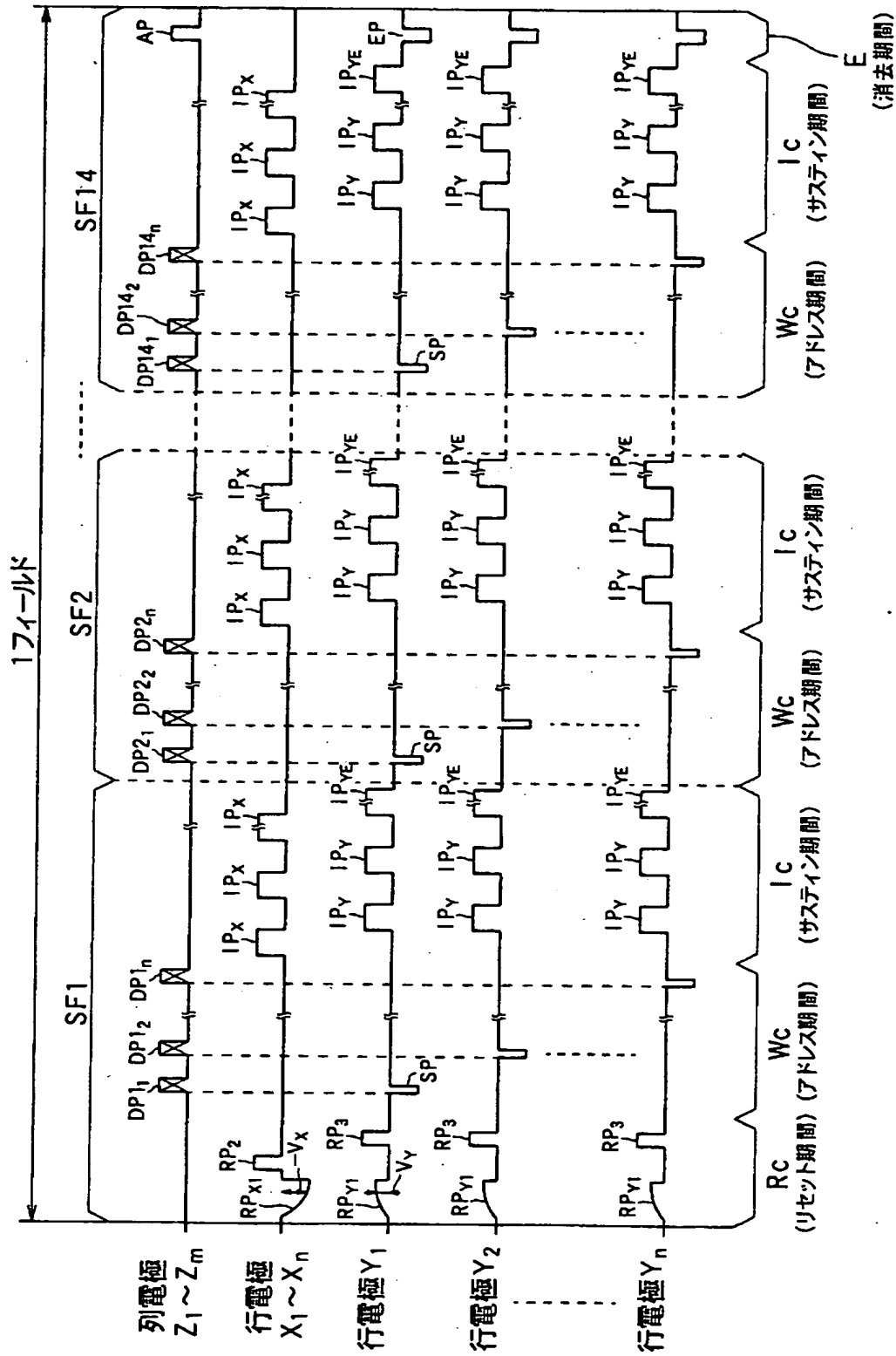


【図7】

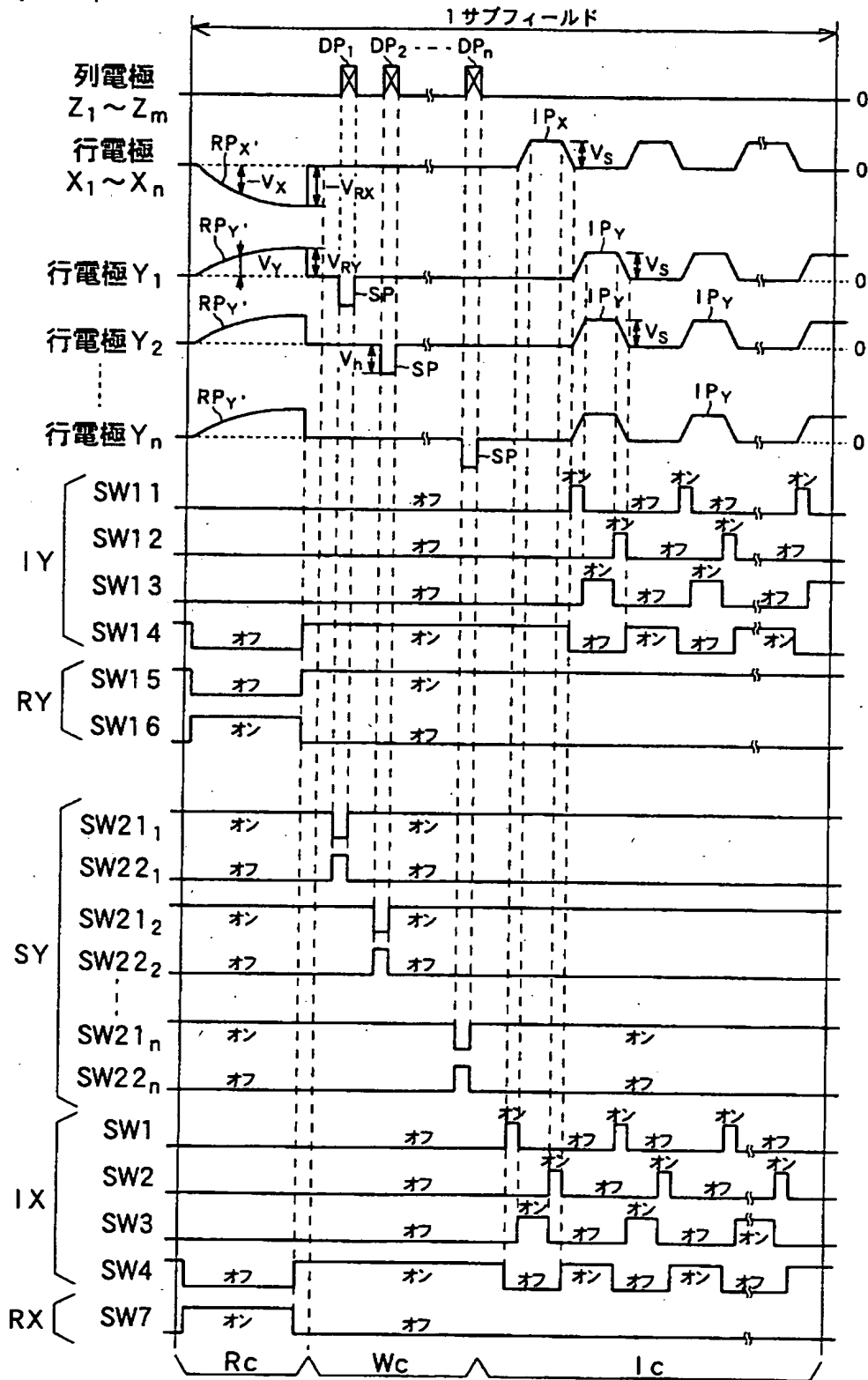




【図8】



【図9】



【図 1 0】

(a)

入力	出力		
	SW1 P	SW2 P	SW3 P
00	0	0	0
01	1	0	0
10	1	0	1
11	0	1	0

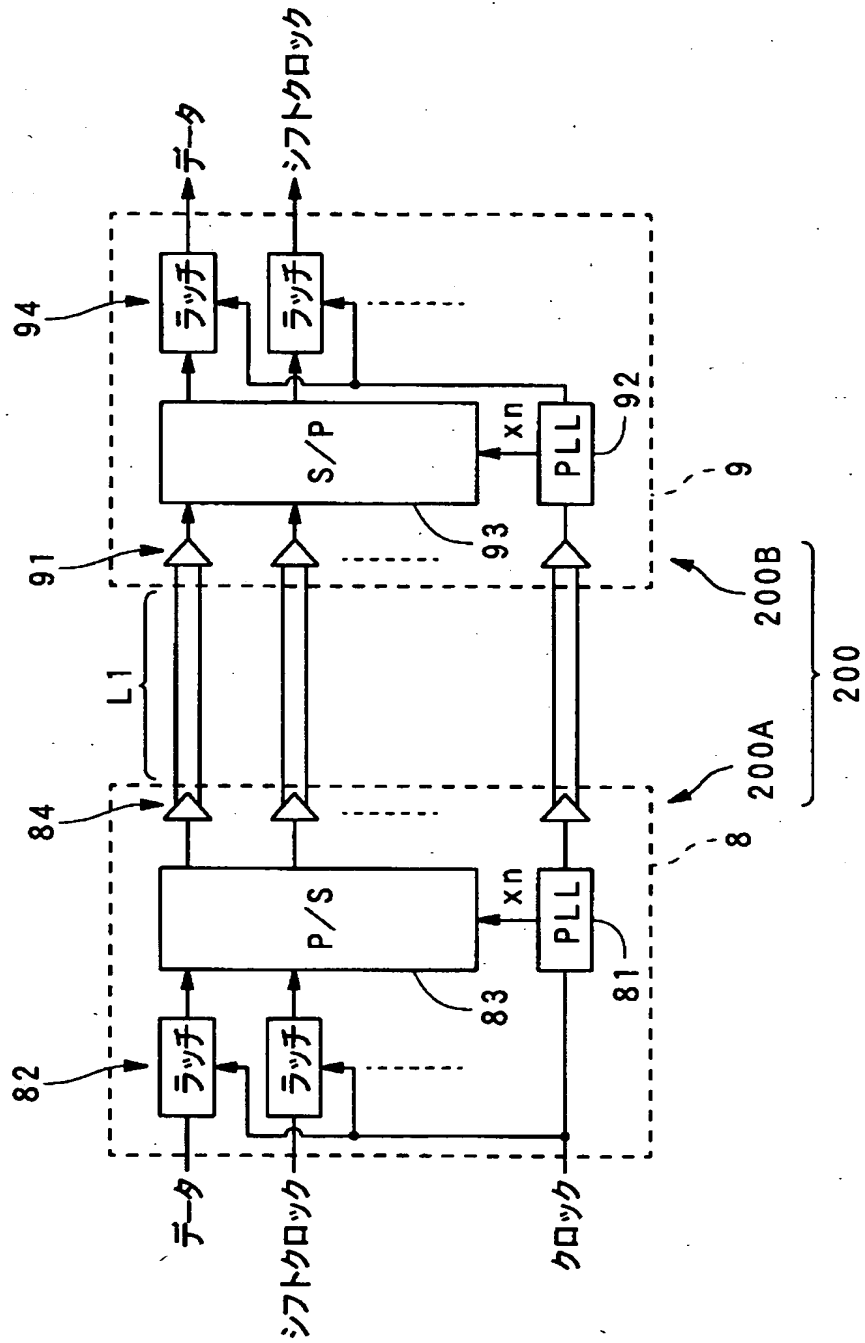
(b)

入力	出力		
	A	B	C
00	1	1	0
01	0	0	1
10	0	0	0
11	0	1	0

(c)

入力	出力			
	SW1	SW2	SW3	SW4
000	0	0	0	0
001	0	0	0	1
010	1	0	0	0
011	1	0	1	0
100	0	0	0	1

【図11】



【書類名】 要約書

【要約】

【課題】 伝送路数を低減することができる表示パネル装置等を提供する。

【解決手段】 プラズマディスプレイパネル 3 0 の表示を制御する表示制御部 1 0 0 A と、表示制御部 1 0 0 A からの信号に基づいてプラズマディスプレイパネル 3 0 を駆動する駆動部 1 0 0 B と、表示制御部 1 0 0 A および駆動部 1 0 0 B の間でデータ転送する伝送ライン L と、を備える。駆動部 1 0 0 B は、表示制御部 1 0 0 A からの信号をデコードして、駆動パルスを生成するための制御信号を発生するデコーダ部 7 を有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都目黒区目黒1丁目4番1号  
氏 名 パイオニア株式会社